

Seminararbeit im Rahmen der Übung IT/RAK

DDR vs. RDRAM

Ein Vergleich von Speichertechnologien

Lehrveranstaltungsnummer: 401173 / 2

Lehrveranstaltungsleiter: Univ. Ass. Mag. Christian Kurz

Bernhard Fiser 0109815

Stefan Schönauer 9950376

1. Abstract

Speicher Performance bekommt zunehmend mehr Bedeutung für Computer System Designer über die unterschiedlichsten Marktsegmente hinweg. Angefangen von PC Anwendungen, die voll von multimedialen Effekten umgeben sind, wie Spiele, Video- und Fotobearbeitung, hin zu Netzwerksystemen die hunderte Gigabytes pro Sekunde routen. So sind hoch performante Speichersysteme ein Muss. Viele unterschiedliche Speicher Technologien versuchen diese Anforderungen zu erfüllen. Dieses Papier gibt einen groben Überblick über manche dieser Technologien. In der Analyse ist es wichtig, kritisch hinter die glanzvollen, technischen Spezifikation der Befürworter der einen oder anderen Technologie zu blicken und etwas tiefer hinein die Themen zu beleuchten, die diese Technologien umgeben: Kosten, reale Performance in der Anwendung, die Stärken und die Skalierbarkeit.

2. Das Problem der Innovation von Speichertechnologie

bzw. der Kampf um die Vormachtstellung zwischen DDR SDRAM und RDRAM – ein Rückblick.

Die ersten Anzeichen für eine zu langsame Entwicklung der Speichertechnologie wurden bereits in den Kinderschuhen der Entwicklung erkannt als Intel seinen 486 DX2 Prozessor einführte. Mit diesem hat Intel gezeigt, dass sie im Stande sind Prozessoren über 33-50MHz zu bauen, allerdings war zu diesem Zeitpunkt die Speicherindustrie nicht in der Lage einen Speicher zu bieten der den Anforderungen des Prozessors entsprach.

Die Lösung dieses Problems präsentierte Intel mit seinem Multipler, der es ermöglichte das der Prozessor mit einem vielfachen der System Bus Geschwindigkeit lief. So lief zum Beispiel ein DX2/66 Prozessor auf einem 33MHz Bus, genauso wie ein DX33 mit einem 2.0x Multipler.

Allerdings wurden bald kritische Stimmen laut, die bezweifelten, dass ein 33MHz Bus im nicht Stande sein werde einen 66MHz Prozessor ausreichend zu unterstützen. Doch es sollte sich zeigen, dass ein System mit einem DX2/66 Prozessor viel schneller war als eines mit einem alten DX/33. Die Zweifel waren allerdings trotzdem nicht unbegründet, denn auch der DX2/66 war zwar schneller, aber nicht wie vielleicht vermutet doppelt so schnell. Es ging also Performance durch den Multipler verloren. Auch der nächste Schritt Intels mit dem DX3/100, 33MHz x 3.0x Multipler (bezeichnet als DX4/100) war um vieles schneller als der Vorgänger, aber nicht so schnell wie die Prozessorgeschwindigkeitsangabe hätte vermuten lassen.

Mit steigenden Prozessorgeschwindigkeiten ging also ein Verlust an Performance einher, der durch die viel zu langen Speicherzugriffszeiten begründet war.

Um dieses Engpass zu lösen wurden von den verschiedenen Herstellern zwei grundlegend unterschiedliche Technologien herangezogen, auf die im Rahmen dieser Arbeit noch genauer eingegangen werden soll.

Intel vertraute auf eine neue Entwicklung der Firma Rambus Technologies (Rambus DRAM oder RDRAM) während an der Chiphersteller wie zum Beispiel AMD oder VIA sich auf eine Neuauflage von DDR, nämlich Double Data Rate SDRAM (DDR SDRAM) konzentrierten.

Die ersten RDRAM Systeme arbeiteten auf damals erstaunlichen 400MHz mit einer sehr hohen Taktfrequenz, aber nur einem 16bit Bus während vergleichbare SDRAM Systeme auf einen 64 bit Bus liefen. Gerade dieser Unterschied in der Bus-Breite macht die beiden Systeme inkompatibel und wirft somit weitere Probleme auf.

Die erstaunliche Leistungsfähigkeit von RDRAM Systemen beruht auf der Fähigkeit des Systems nun auch auf beiden Flanken (dem steigenden und fallenden Ende) eines Clock Cycles (Takts) Daten zu übertragen.

Eine Bandbreitenberechnung für ein solches System stellt sich also wie folgt dar:

(400 MHz Arbeitsgeschwindigkeit) x (16-bit Bus) x (2 steigendes und fallendes Ende des clock cycle) / (8 bits per byte) = 1600 MB/s verfügbare Bandbreite

Mit dieser Technologie stand also doppelt so viel Bandbreite zur Verfügung wie mit einem vergleichbaren PC100 und um 50% mehr als bei einem PC133 SDRAM. Folglich galt die RDRAM Technologie als erstaunlich effizient, denn die geschätzte Bus - Effektivität liegt bei 85% verglichen mit 75% bei herkömmlichen SDRAM Systemen.

Doch kein Vorteil ohne Nachteil und somit fanden sich auch bei RDRAM enorme Probleme, die es verhinderten die alternative Technologie zu verdrängen. Hier spielten vor allem die sehr hohen Kosten von RDRAM eine besondere Rolle, denn Rambus Technologies hat ein Patent auf diese Technologie, die Dritte Hersteller erst einmal in Form von Lizenzen erkaufen müssten. Hinzu kämmen dann noch die Umrüstkosten auf neue Produktionsanlagen und somit ergibt sich ein astronomischer Preis. Ein weiteres Problem war die enorme Hitzeentwicklung am RAM die es in den Griff zu bekommen galt. Dies bewältigte man mit einer eher weniger glücklichen Methode indem man die Leistung der Module drosselte. So wurde immer nur ein Chip aktiv um zu senden, während die übrigen in einer Art "stand by modus" die Hitzeentwicklung verringerten, doch dies geht natürlich mit einem Performanceverlust einher.

Die Konkurrenz, wie zum Beispiel AMD oder VIA, beobachteten die Entwicklung von RDRAM natürlich aufmerksam, waren sich aber zu Beginn noch ziemlich sicher das sich Rambus auf Grund des Kostennachteils nicht durchsetzen kann. Trotzdem war Ihnen bewusst, dass auch sie nun zum handeln aufgefordert waren und ihre Antwort hieß Double Data Rate SDRAM (DDR SDRAM).

Diese Weiterentwicklung von SDRAM zu DDR SDRAM war mehr als nur ein kleiner Schritt, denn nun war auch diese Technologie im Stande auf beiden Enden des clock cycle (Takt) Daten zu übertragen, wodurch sich die effektive Bandbreite verdoppelte und nun wie folgt berechnet wird:

(100MHz Arbeitsgeschwindigkeit) x (2x steigendes und fallendes Ende des clock cycle) x (64 -bit Bus) / (8 bits per byte) = 1600 MB/s verfügbare Bandbreite

Somit ist DDR SDRAM "genauso schnell" wie RDRAM wenn man das oben dargestellte Beispiel zum Vergleich heranzieht. Mit einem 133MHz Front Side Bus DDR SDRAM wäre sogar noch mehr Bandbreite als RDRAM möglich.

Die viel geringeren Kosten von DDR SDRAM und das wegfallen eines Hitzeproblems wie bei RDRAM lassen nun also vermuten, dass alles für diese Technologie spricht. Dies wurde von vielen Speicherherstellern wie Hitachi, Hyundai, Siemens und anderen auch in dieser Weise interpretiert, das nur geringe Umrüstung von der herkömmlichen SDRAM zu DDR SDRAM nötig war.

Doch ein nicht zu vernachlässigendes Problem dieser Technologie ist die im Vergleich zu RDRAM relativ geringe Bus Effektivität:

	PC800 RDRAM	PC 133	PC266DDR
Gesamtbandbreite	800 MB/s	2100 MB/s	1600 MB/s
Bus Effektivität	85%	75%	65%
Effektive Bandbreite	600 MB/s	1.37 GB/s	1.36 GB/s

Vergleich Bus Effektivität und Effektive Bandbreite, Quelle: (3)

Dennoch ist ein PC266 DDR SDRAM bei nur 65% Bus Effektivität im Stande die selbe Effektive Bandbreite wie ein PC 800 RDRAM bei 85% Bus Effektivität zu liefern.

Es stehen sich also zwei völlig unterschiedliche Lösungswege für das selbe Problem gegenüber, wobei sich langfristig nur einer durchsetzen wird.

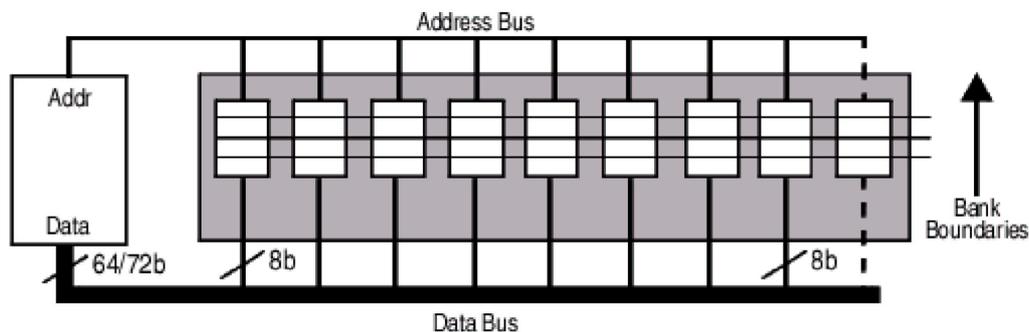
Um diese Frage näher zu beleuchten werden wir nun im Rahmen dieser Arbeit etwas näher auf die beiden Technologien RDRAM und DDR SDRAM eingehen.

3. Einführung – Die heutige Speicherlandschaft

Im Moment sind drei führende Gruppen an Speichertechnologien am Markt verbreitet: synchrone DRAMs (SDRAM), SDRAM mit doppelter Datenrate (double data rate SDRAM, DDR SDRAM) und RDRAM Speicher. SDRAM und DDR SDRAM haben eine sehr ähnliche Architektur und Signalisierung. Beide sind mit einem parallelen Datenbus aufgebaut, hauptsächlich verfügbar in Datenbreiten von 8 oder 16 Bit, haben sie einen einzigen Adressbus, der zur Übertragung von Zeilen und Spaltenadressen verwendet wird.

Bei DDR SDRAM wird die Datenbandbreite gegenüber herkömmlichen SDRAMs erhöht, indem Daten an beiden Flanken des synchronen Taktsignals übertragen wird, durch die Verwendung von SSTL-2 Signalisierung¹, und dadurch theoretisch eine Verdopplung der Datenrate ergibt. Es ist wichtig zu vermerken, dass DDR SDRAM nicht die Adressierungsbandbreite durch Verwendung beider Flanken des Taktsignals erhöht, ein Faktor, der in realer Anwendung dazu führt, dass der Performancegewinn durch die Verwendung von DDR Signalisierung am Datenbus stark limitiert wird.

Abbildung 1 zeigt ein schematisches Schaltbild eines DDR SDRAM Bausteins.

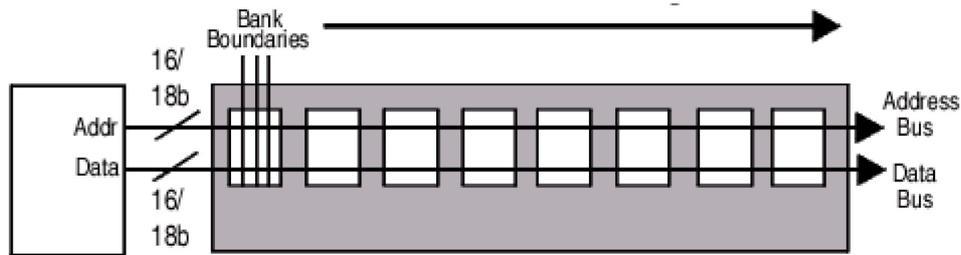


Die RDRAM Speichertechnologie, die den Weg für DDR Technologie für DRAMs 1990 geebnet hat, benutzt einen anderen Ansatz. Es vereint den Kern der herkömmlichen DRAM Technologie mit einer seriellen Hochgeschwindigkeitsschnittstelle, die als RDRAM Channel bezeichnet wird. Auf diesem Channel werden über 16 Pins Datenoperationen transportiert, bei einer effektiven Datenrate von 800 Mhz pro Pin und zusätzlicher Verwendung beider Flanken des Taktsignals. Um eine maximale Performance zu gewährleisten, benutzt der RDRAM Channel DDR Signalisierung auf den nicht gemultiplexten Zeilen- und Spaltenadressbussen.

Weil der Bus jedes RDRAM Bausteins über die gesamte Datenbreite (16 Bit) verfügt, kann ein einziger Baustein einen vollständigen Speicherzugriff befriedigen, anders als SDRAMs, bei denen mehrere Bausteine parallel nötig sind, um den Zugriff zu erledigen. Bis zu 32 RDRAM Bausteine können gleichzeitig auf den Channel und zwischengeschalteten Buffer angeschlossen werden. Der Channel ist ein gemeinsamer Bus für alle Bausteine und verbindet den Adressbus, Datenbus und einen seriellen Steuerbus für die Initialisierung. Der RDRAM Channel wird immer gleichmäßig belastet wenn Bausteine hinzugefügt werden. Das RDRAM Protokoll unterstützt verschiedene Features die Bandbreite und Effizienz in einer realen Anwendung des Gesamtsystems erhöhen.

¹ SSTL-2 ist eine Gatter Technologie, wodurch elektrische Eigenschaften wie Spannungen, Ströme und Flanken spezifiziert sind [1].

Abbildung 2 zeigt ein schematisches Schaltbild eines RDRAMs.



4. Funktionsweise und technische Aspekte von DDR

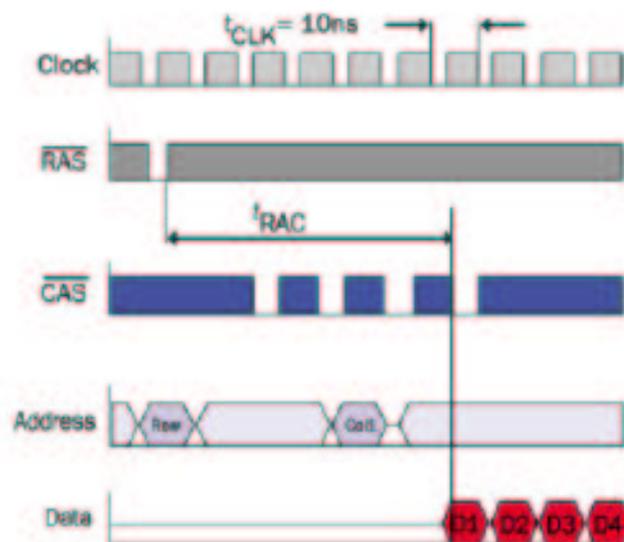
4.1. SDRAM

Die SDRAM Technologie ist seit 1996 verfügbar und hat sich vor allem durch die starke Unterstützung von Intel durchgesetzt. Diese Technologie ist aus diesem Grund heute absolut vorherrschend am Markt. Eine der wesentlichen Besonderheiten des SDRAM ist, dass alle Signale des Speichers, Eingangssignale wie Ausgangssignale, mit dem Systemtakt synchronisiert sind. Somit kommunizieren der Prozessor, das Chipset und der Speicher synchron über ein Bussystem mit derselben Taktfrequenz.

Ältere DRAM Technologien wie das FPM, EDO oder auch BEDO haben eine asynchrone Signalisierung. Das erfordert ein Handshaking, das heißt eine zusätzliche Steuerung des Datenaustauschs. Konkret bedeutet das, dass der Prozessor die gewünschte Adresse am Adressbus anlegt, und mittels ADS Signal dem Speicherbaustein signalisiert, dass nun Adressen anliegen. Der Speicher verarbeitet die Adresse, legt die zugehörigen Daten auf den Datenbus und signalisiert dem Prozessor mit dem Signal BRDY zurück, dass nun Daten bereit liegen. In der Zwischenzeit führt der Prozessor Wartezyklen aus, das heißt er ist untätig.

BEDO Rams können Daten auch synchron liefern, allerdings nur bis zu einer Taktfrequenz von 66 Mhz. Das ist die Frequenz, mit der SDRAMs erst zu arbeiten beginnen und können bis zu 133 Mhz getaktet werden.

Abbildung 3: SDRAM Timing Diagramm. Burstmode. [4]



Die SDRAM Bausteine sind intern aus zwei unabhängigen Speicherbänken aufgebaut. Es wird eine sogenannte Dual Bank Architektur verwendet, das die Datentransfers beschleunigt, da eine Bank vorgeladen werden kann (precharging), während die andere gerade einen Lese- Schreibzugriff

durchführt. Die Precharge Zeit kann man dadurch nach aussen hin verbergen, weil die Zugriffe meistens abwechselnd auf die Bänke verteilen. Aktuelle SDRAMs besitzen je nach Kapazität sogar vier interne Speicherbänke.

Noch eine weitere Effizienzsteigerung wurde dadurch erzielt, dass neben der Zeilen- und Spaltenadresse auch noch Befehlsübermittlung an das SDRAM durchgeführt wird. Die weiteren Abläufe werden nun eigenständig vom internen Befehlsregister übernommen. Darunter fällt das interne Generieren der nachfolgenden Adressen bei einem Burst-Zugriff (ähnlich dem BEDO DRAM) und die Steuerung des alternierenden und überlappenden Zugriffs auf die Speicherbänke. Dies nennt sich Pipelining; es ermöglicht dem SDRAM eine effiziente Bereitstellung gültiger Daten (siehe Abbildung 3, Timingdiagramm SDRAM Burst). Es ist notwendig ein SDRAM für den Betrieb zu konfigurieren – im Mode-Register ist das Timing, die Refresh Art und die Burst-Längen festgelegt.

Das Initialisieren eines Lesezugriffs benötigt mindestens fünf Takte; die Anzahl hängt vom Chipsatz ab. Beim DRAM als auch SDRAM erfolgt der Datentransfer mit jedem Takt erst im Burst Mode. Das bedeutet ein Burst Timing von 5-1-1-1. Anfangs ergab sich für SDRAMs unter Verwendung einer Bus Taktfrequenz von 66MHz – im Vergleich zu BEDO Speichern – noch kein Bandbreitengewinn; Spitzenwerte in der Datentransferrate lagen bei 500MByte/s. Der Bandbreitengewinn stellte sich erst bei Taktraten über 66MHz ein. Bei einer Taktrate von 100MHz liefert ein SDRAM alle 10ns Daten. PC100 Module (64bit System) erreichen einen maximalen Speicherdurchsatz von 800MByte/s; die PC133 SDRAMs (Betrieb mit 133MHz) übertreffen diesen Wert noch und erreichen 1,06GByte/s. Die angegebenen Werte sind allerdings nur theoretischer Natur, im praktischen Betrieb (gleicher Prozessortakt) beträgt der Geschwindigkeitsgewinn bei einer Steigerung der Bustaktfrequenz von 66MHz auf 100MHz nur 12%. Dieser Wert von 12% wurde unter folgenden Randbedingungen ermittelt: Applikations Benchmark Sysmark 98, Pentium II 300 System.

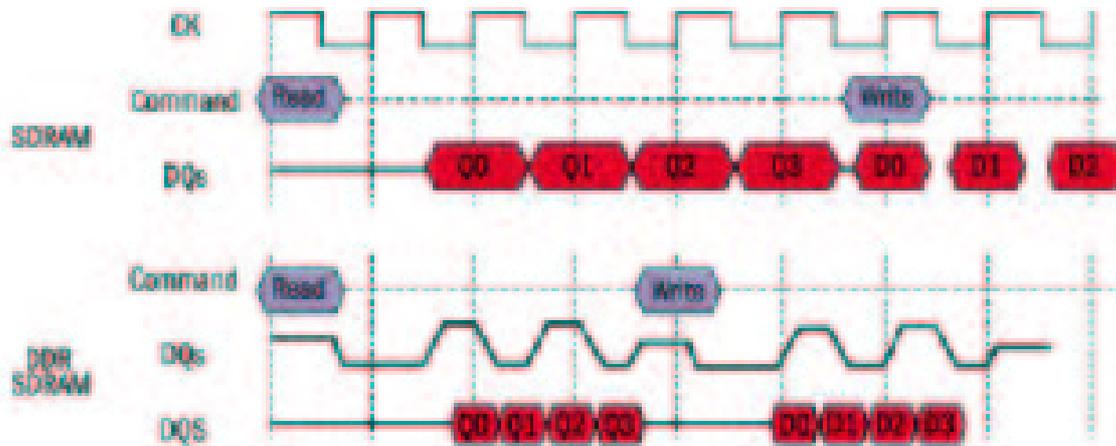
Der Grund für die geringe reale Steigerung trotz höherer Bandbreite liegt darin, dass 90% der Speicherzugriffe unter Windows 98 über den viel schnelleren L2 Cache ablaufen und auf den ständigen Zugriff auf den Hauptspeicher verzichtet wird. Aus diesen verschiedenen Taktfrequenzen und Zugriffszeiten folgte rasche Verwirrung um die reale Effizienz der SDRAM-Module an sich und auch im Vergleich zu anderen Speicherbausteinen. Weiters ist die vollständige Kompatibilität zu den Boards verschiedener Hersteller nicht gegeben; Intel versuchte hier eine Vereinheitlichung in Kennzeichnung und Herstellung einzuführen, dies gelang jedoch nur teilweise.

4.2. DDR SDRAM

Der nächste Schritt in der Entwicklung von SDRAM mit einer deutlichen Verbesserung der Performance sind DDR SDRAMs, sie werden auch als SDRAM II bezeichnet.

Die Bauteile werden intern aus vier Bänken aufgebaut, die unabhängig von einander parallel Instruktionen abarbeiten können. außerdem wurde die Bandbreite der DDR SDRAM erweitert, durch die Nutzung der steigenden und fallenden Taktflanken. Dadurch erhöht sich der Datendurchsatz auf das Doppelte im Vergleich zu SDRAMs bei gleichem Systemtakt. Allerdings wird durch den Datentransfer bei beiden Taktflanken die Verzögerung durch die Laufzeiten sehr kritisch. DDR SDRAMs nutzen daher für die Synchronisierung des Datentransfers – im Gegensatz zu SDRAMs – neben dem normalen Systemtakt auch ein sogenanntes bidirektionales Strobe Signal DQS. Dieses parallele Signal ist eine Referenz für Chipsatz und Speicher und dient der Abholung korrespondierender Daten. Dieses DQS ermöglicht einen Hochleistungsdatentransfer für jeden Daten Pin – die Zugriffszeit und die Laufzeitverzögerung zwischen dem Speicher und dem Chipsatz wird gleich verzögert. Weiters ist durch die Nutzung des DQSs ein Auseinanderlaufen des Bustakts zwischen dem Chipsatz und dem Speicher unproblematisch.

Abbildung 4: Timing Diagramm DDR SDRAM. Steigende und fallende Taktflanken werden genutzt. [4]



Wichtig ist das exakte Timing zwischen dem Datenstrobessignal DQS und Daten DQ; um das zu ermöglichen müssen die physikalischen Voraussetzungen (Leiterbahnlänge und Leiterbahnkapazität) für die beiden Signale übereinstimmen. Durch diese Maßnahmen wirken sich Veränderungen der Umgebung, wie zum Beispiel Temperaturschwankungen oder Spannungsschwankungen, gleichermaßen auf die beiden Signale aus, es kann zwischen Chipsatz und Speicher zu keinen Timingproblemen kommen.

Durch die Einführung des DQS ist ein stabiler Highspeed Betrieb sicherer als unter Nutzung eines globalen Systemtakts. Das DDR SDRAM erzeugt und steuert bei einem Lesezugriff das bidirektionale DQS und übermittelt mit Hilfe der steigenden und fallenden Flanke die gültigen Daten DQ. Beim Schreibzugriff wird der gegengleiche Vorgang verwendet – nun steuert und generiert der Chipsatz das Datenstrobessignal und zeigt dem Speicher die zu übermittelnden Daten mit der steigenden und fallenden Flanke an. Voraussetzung an das Timing ist, dass die Daten beim Flankenwechsel bereits am Daten Pin anliegen müssen.

Im nachfolgenden Bild ist der Unterschied zum SDRAM dargestellt.

Die Bandbreite des DDR SDRAMs erhöht sich bei den Bustaktfrequenzen 100 MHz beziehungsweise 133 MHz auf höchstens 1,6GByte/s beziehungsweise 2,1GByte/s. Diese sogenannten PC200/266 Module liefern diese Spitzentransferraten nur zwischen Speicher und Chipsatz. Außerhalb dieser Verbindung – zum Prozessor oder zur Grafikkarte über den AGP Bus – reduziert sich die Transferrate auf die von PC100/133 Modulen. Eine Verbesserung stellt das Pipelining der eingelesenen Daten dar, modernere Chipsätze puffern die Daten und übergeben sie an die unterschiedlichen Empfänger. Besonders speicher- beziehungsweise grafikintensive Umgebungen im Multitaskingbetrieb profitieren deutlich puncto Performance.

Intel investierte lange Zeit in das konkurrierende „Rambus- Konzept“ anstatt in die oben beschriebene Architektur. Diesem Vorgehen Intels setzte sich ein Konsortium verschiedener Hersteller und Anbieter entgegen; das Lizenz System von Intel wurde durch die Entwicklung eines offenen Technologiestandards ersetzt.

4. 4.3. SDRAM

Die Weiterentwicklung von SDRAM über DDR SDRAM zum SDRAM stellt den nächsten Technologieschritt dar.

Abbildung 5: Entwicklung vom DRAM zum SLDRAM. [4]



Es werden bis zu sechzehn anstelle von vier Bänken eingesetzt. Weiters wird auch hier das Strobesignal für die Signalisierung via beide Taktflanken genutzt.

Die Transaktionen werden mit einem Anforderungspakets gestartet, es beinhaltet Adressinformationen und Befehle. Die zu lesenden beziehungsweise zu schreibenden Daten werden in Pakete gefasst. Der Transfer eines Datenpakets wird durch einen Spaltenzugriff ausgelöst, dieser Burst besteht aus vier 18Bit Wörtern. Ein Anforderungspaket kann somit den Zugriff auf eine oder mehrere Spalten einer Page starten. Beim SLDRAM wird die Bandbreite mit diesem Vorgehen in Verbindung mit einer Multitasking Architektur erweitert. Beispielsweise lassen sich mit 400Mbit/s Transferrate an einem Datenpin (64bit Umgebung) Bandbreiten bis 3,2GByte/s erreichen. Spätere Generationen ermöglichen 800Mbit/s an einem Pin und mehr.

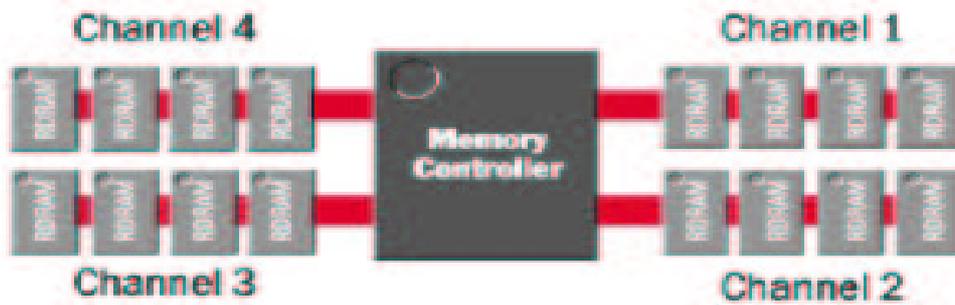
5. Funktionsweise und technische Aspekte von RDRAM

Mit der Einführung des Intel-820- und 840-Chipsets hält gleichzeitig eine neue Speicherarchitektur Einzug in die Welt der PCs: die Rambus Technologie. Völlig neu ist diese allerdings nicht. Bereits seit 1995 wird Rambus in Workstations von SGI eingesetzt, andere Beispiele sind die Nintendo-64-Videospielkonsolen und Grafikkarten mit Grafikchip GD546X von Cirrus Logic.

Entwickelt wurde die Technologie von der 1990 gegründeten Firma Rambus mit Sitz in Kalifornien. Erste funktionierende RDRAMs konnte Toshiba 1992 präsentieren. Um die Technologie in die PC-Architektur zu adaptieren, schloss Intel im Dezember 1996 mit Rambus ein Abkommen.

Die gemeinsam entwickelten Direct RDRAMs (DRDRAM) nutzen wie DDR-SDRAM und SLDRAM zusätzlich beide Taktflanken für die Datenübertragung, und sollte nach dem Willen von Intel der Speicherstandard der Zukunft sein, was sich doch nicht so gefügt hat, wie wir mittlerweile wissen. Die Rambus Lösung besteht aus drei Komponenten: Rambus Controller, Rambus Channel und DRDRAM. Ein System kann aus mehreren unabhängigen Channels bestehen (siehe Abbildung 6). Das Channelinterface bei Direct Rambus enthält einen nur 16 oder 18 Bit (mit ECC) breiten Datenbus. Der Kontrollbus besitzt eine Breite von 8 Bit und hat getrennte Leitungen für die Zeilen- und Spaltenansteuerung. Der Vorteil davon sind gleichzeitige, unabhängige Zugriffe auf Zeilen und Spalten, während noch Daten des vorhergehenden Befehls übertragen werden.

Abbildung 6: Die Rambus-Architektur kann mehrere unabhängige Rambus-Channels verwalten. [4]



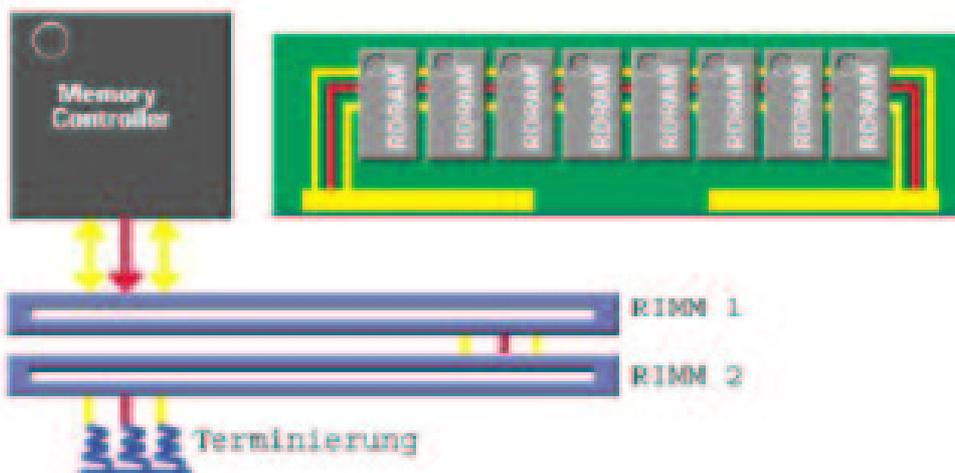
Jeder einzelne DRDRAM Baustein besitzt die volle Datenbreite des Channels. Gegenüber 64-Bit-Speicherbussen muss aber die Taktung des Channels entsprechend hoch sein, um konkurrenzfähige Bandbreiten zu erreichen. Die Taktfrequenz ist mit 400 MHz und durch Ausnutzung beider Taktflanken mit effektiv 800 MHz extrem hoch. Ein Maximum von 1,6 GByte/s ist bei jedem einzelnen Chip erreichbar. Durch die volle Datenbreite der Bausteine verteilen sich bei Zugriffen die Daten nicht über alle Bausteine, sondern sind zusammenhängend in jedem Chip gespeichert. Der daraus resultierende Effekt ist, dass die Chips bei Burst Zugriffen einer starken, thermischen Belastung ausgesetzt sind und erfordern deshalb zusätzliche Kühlmaßnahmen. Jeder Channel kann bis zu 32 DRDRAMs verwalten. Ein Interleaving mit überlappenden Transfers zwischen den Chips und dem Rambus-Controller hebt die Effizienz für einen kontinuierlichen Datenstrom.

Durch die hohen Taktraten ist das Mainboard-Design sehr kritisch. Die Technik zur Implementierung des Bussystems nennt sich RSL. Unter anderem sorgen kurze Signalwege, niedrige Spannung (1,8 V) und eine Terminierung für hohe Datenintegrität.

Hier zeigt sich ein deutlicher Vorteil der Rambus Technologie. Die Reduzierung der Datenbreite auf 16 Bit erfordert weniger Pins. Die Entflechtung der Leiterbahnen und somit das Mainboard Design wird einfacher.

Abbildung 7 zeigt die Ringtopologie eines Rambus Channels, der aus Controller, den Speicherchips und einer Terminierung am Ende des Busses besteht. Der Terminator soll Reflexionen auf den Daten- und Signalleitungen verhindern und erfüllt die Forderung nach einem abgeschlossenen Bus.

Abbildung 7 zeigt die Topologie eines Rambus Channels mit abgeschlossenem Bus. [4]



Bei der Rambus Technologie findet mit dem RIMM eine neue Modulform ihren Einzug. Die Module fassen bis zu 16 Chips bei beidseitiger Bestückung und sind als ein Teilstück des Channels zu betrachten. Die Datenbreite bleibt bei 16 (mit ECC 18) Bit. Ein Channel kann laut Spezifikation maximal zwei RIMMs aufnehmen. Durch die Bus-Topologie sind unbelegte Sockel mit einer Dummy-Platine, das sogenannte C-RIMM, zu bestücken. Sie schleifen die Steuer- und Datenleitungen einfach durch. Gleichzeitig verursachen sie durch ihre Notwendigkeit zusätzliche Kosten für den Anwender.

6. Performancevergleich von DDR SDRAM und RDRAM

Um einen guten; aktuellen und objektiven Vergleich von DDR SRDRAM und RDRAM geben zu könne, ist es nötig die Vielzahl an Benchmarks und Vergleichsdaten, die man im Internet und in Fachzeitschriften findet erst einmal gründlich zu filtern, denn der größte Teil dieser Daten ist reine Verkaufspropaganda.

Da auf einen solchen Vergleich aber nicht verzichtet werden kann, haben wir lange nach geeigneten Daten gesucht und glauben diese in einem Bericht auf folgender Seite gefunden zu haben: www.tecchannel.de

Hier wurden ein PC1066-RDRAM und ein DDR400-SDRAM auf biegen und brechen unter den verschiedensten Anwendungen und mit unterschiedlichen Benchmark-Testprogrammen getestet. Wir wollen nun eine Zusammenfassung dieses Tests wiedergeben.

Die Konfigurationen stellten sich wie folgt dar:

Testkonfiguration [5]:

CPU 1	Pentium 4 2400 MHz	Schnittstelle	PCI 5V
NorthwoodSocket	Socket 478	Treiber	5.12.1.2065
FSB	400 MHz	Platine	2999 / CT4810
CPU 2	Pentium 4 2400 MHz Northwood	Netzwerkkarte	Level One FNC-0107TX
Socket	Socket 478	(Realtek)	
FSB	533 MHz	Typ	10/100Base Fast Ethernet
Grafikkarte	Leadtek WinFast GeForce3 TD	Chip	RTL8139B
Grafikchip	NVIDIA GeForce3	Schnittstelle	PCI 5V
Grafikspeicher	64 MByte DDR-SDRAM	Treiber	5.397.823.2001
BIOS	04.32.2001	Platine	keine Angabe
Treiber	Detonator 23.11	SCSI-Controller	Adaptec AHA-2940UW Pro
Platine	Rev: B	SCSI-Interface	UltraWide
Mainboard 1	Intel D850EMV2	Schnittstelle	PCI 5V
Typ	Socket 478	BIOS	V2.11.0
Chipsatz	i850E	Treiber	V3.60Platine Revision C
BIOS MV85010A.86A.0025.P10.0203282158		Festplatte 1	Quantum Atlas 10K II (Quantum)
Mainboard 2	SiS SS51B	Modell	TY184L
Typ	Socket 478	Kapazität	18,4 GByte
Chipsatz	SiS645DX	Firmware	SDA40
BIOS PhoenixBIOS 4.0 Release 6.0 02/06/02		Schnittstelle	UW-SCSI
RAM 1	Samsung MR16R0828BN1-CN9	CD-ROM-Laufwerk	LITE-ON LTN-382
Kapazität	128 MByte	Geschwindigkeit	40x
Typ	PC1066-32	Firmware	keine Angabe
Chips	--	Schnittstelle	EIDE-UltraATA/33
RAM 2	MR16R0828BN1-CK8	Diskettenlaufwerk	Teac FD-235HF
Kapazität	128 MByte	Kapazität	1,44 MByte
Typ	PC800-45	Netzteil	Delta Electronics
Chips	--	Modell	DPS-300KB-1A
RAM 3	Samsung M368L3313DTL-CB4	Ausgangsleistung	300 Watt
Kapazität	256 MByte	Format	ATX
Typ	PC400 CAS=2,5	Tastatur	Cherry RS 6000 M
Chips	Samsung K4H280838D-TCB4	Schnittstelle	PS/2
Soundkarte	Creative SoundBlaster PCI128	Maus	Logitech M-S35
Soundchip	Creative EMU10k1	Schnittstelle	PS/2

Wie aus der Testkonfiguration zu erkennen ist, wurden die Tests von PC1066 – Speicher beziehungsweise PC800 mit einem Intel Desktop – Mainboard D850EMV2 mit i850E – Chipsatz durchgeführt. Als Vergleichstest kam für DDR – SDRAM – Speicher ein Mainboard von SiS mit Pentium 4 Chipsatz SiS645DX zur Anwendung. In beiden Fällen wurde ein Pentium 4 Prozessoren mit 2,4 GHz Taktfrequenz und FSB 400 bzw. 533 verwendet.

Speicher – Performance:

Die erste Analyse bezüglich Speicherperformance wurde mit den Benchmark *tecMEM – Tool* in Windows XP durchgeführt und soll Unterschiede in Load-, Store- und Moveoperationen zeigen. Dabei ergaben sich folgende Werte:

Speicher	Load32 MByte/s	Store 32 MByte/s	Move 32 MByte/s	Store 64 MByte/s	Load 128 MByte/s	Store 128 MByte/s
PC1066 FSB533	1716	951	938	983	2867	985
PC1066 FSB400	1469	765	783	795	2254	794
DDR400 FSB533	1751	1023	859	846	2647	853
DDR400 FSB400	1609	917	838	835	2455	843

(Hohe Werte sind als gut, niedrige als schlecht zu interpretieren!)

Man erkennt, das sich PC1066 nur bei längeren Blockzugriffen (128-Bit Befehlen) und FSB 533 gegen DDR400 behaupten kann, in allen übrigen Situationen bleibt DDR SDRAM klar vorne. Dies ist vor allem durch die längeren Zugriffszeiten von RDRAM begründet, die bei 32 ns liegen und der Tatsache, dass der i850E Chipsatz mit FSB 400 MHz keinen asynchronen Betrieb unterstützt und den PC1066 Speicher dann ebenfalls mit 400 MHz taktet.

System Performance:

Für den Systemperformance – Vergleich wurde das Benchmark – Paket *SySmark2001* verwendet um die Leistungsfähigkeit bei Standardanwendungen zu ermitteln, die für den Großteil der Benutzer am wichtigsten sind. Dabei setzt sich die Gesamtpformance aus Vergleichen in den Kategorien Office Productivity und Internet Content creation zusammen. Im Bereich Office Productivity wurden beispielsweise Anwendungen wie *Microsoft Office 2000*, *Netscape Communicator 6.0*, *WinZip 8.0* und *MacAfee VirusScan 5.13* für den Test herangezogen in der Spate Internet Content creation waren es Repräsentanten wie *Adobe Photoshop 6.0*, *Microsoft Windows media Encoder* und *Macromedia Dreamweaver 4*.

Gesamtwertung bei der System Performance

Hier behält ebenfalls DDR400 SDRAM klar die Führung, allerdings kann man erkennen, dass sich bei PS1066 die Erhöhung des Taktes auf 533 MHz FSB wie bei keinem anderen Speicher außerordentlich positiv auswirkt.

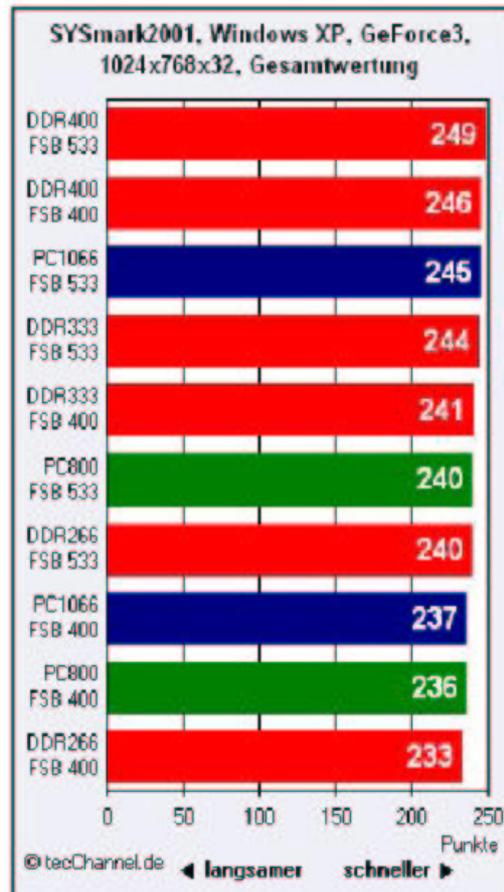


Abbildung 8 [5].

OpenGL – Performance

Um die unterschiedliche OpenGL – Performance zu betrachten ist der Spiele – Benchmark Unreal Tournament gut geeignet, da hier Haupt- und Grafikspeicher stark gefordert werden.

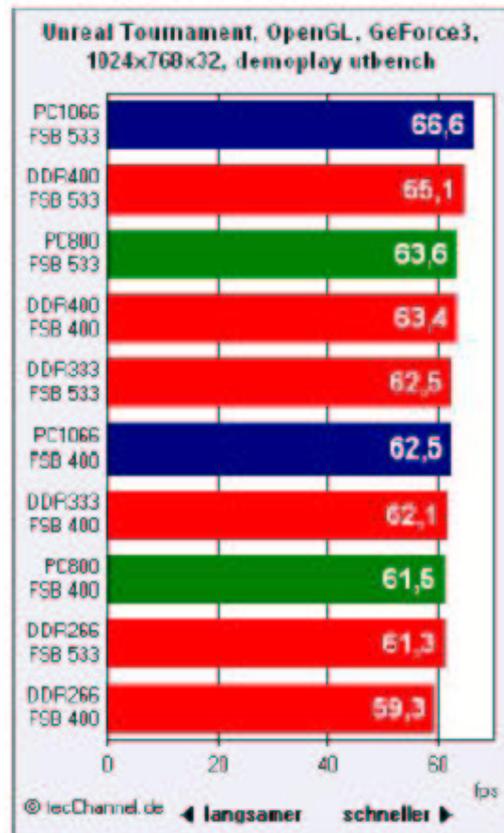


Abbildung 9 [5].

Hier ist ein 5%iger Vorteil von PC1066 mit FSB 533 gegenüber DDR400 FSB 533 zu erkennen. Bei niedrigerer Taktfrequenz kann PC1066 allerdings nicht punkten!

3D – Performance

Dieser Bereich stellte eine besonders große Herausforderung dar, die nur bei optimaler Abstimmung aller verwendeten Komponenten bewältigbar ist. Große Datenmengen sind dabei zu bewältigen die schnell an die Leistungsgrenzen des Gesamtsystems stoßen können.

Dieser Test wurde mit dem Tool *3Dmark2001 Pro* von *MadOnion* durchgeführt, das die Leistungsfähigkeit der einzelnen Chipsätze bei stark belasteten Speicherbus zeigt.

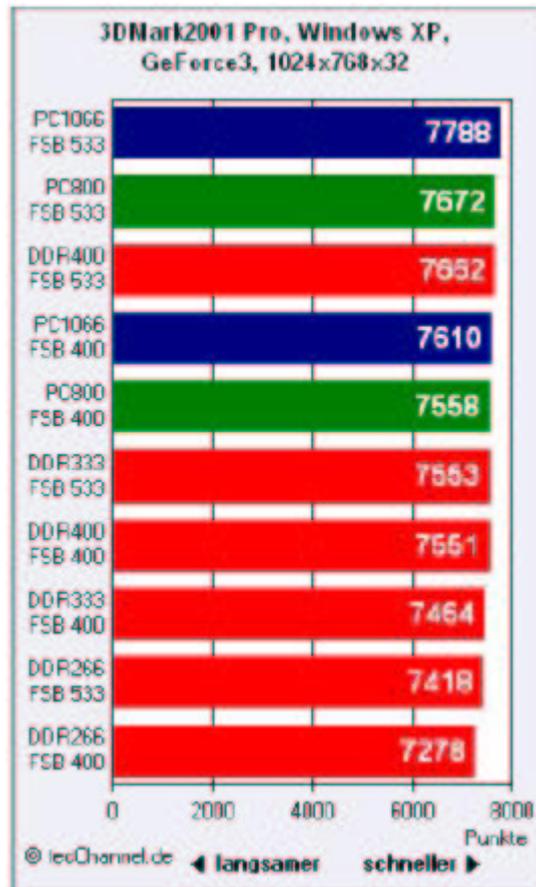


Abbildung 10 [5].

Hier hat DDR SDRAM klar das Nachsehen gegenüber RDRAM, allerdings bringt der PC1066 FSB 533 nur 1,5% Performancegewinn gegenüber dem PC800 FSB 533!

Speicherbus - Performance

Um die unterschiedliche Speicherbus Performance zu überprüfen wurde nochmals der Spiele Benchmark *Unreal Tournament* mit 3D – Unterstützung herangezogen, da hier eine hohe Speicherperformance von Vorteil ist.

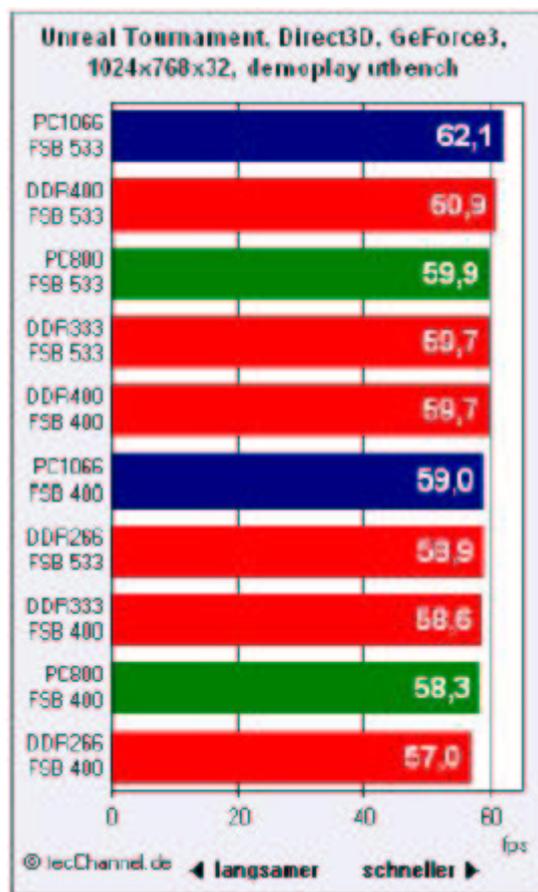


Abbildung 11 [5].

PC1066 RDRAM in Verbindung mit FSB 533MHz kann sich auch hier klar von der Konkurrenz absetzen.

Zusammenfassung der Testergebnisse und das Fazit von techchannel.de:

Quelle: [5] www.techchannel.de

„Unser Test zeigt, dass PC1066-RDRAM nur in Pentium-4-Systemen mit 533-MHz-FSB Sinn macht. Das Leistungsplus gegenüber PC800-Speicher beträgt hier durchschnittlich 10 Prozent. In speziellen Fällen sogar bis zu 23 Prozent.

Die Kombination aus Pentium-4-Prozessor mit 533-MHz-FSB und PC1066-RDRAM setzt sich in der Mehrzahl der Benchmarks an die Spitze vor DDR400-SDRAM.

Anders sieht das Bild bei einem FSB-Takt von 400 MHz aus. Der i850E-Chipsatz bremst das schnelle PC1066-RDRAM aus und kann den Speicher nur mit 800 MHz betreiben.

Der Performance-Unterschied zwischen PC800- und PC1066-Modulen liegt aber dennoch bei durchschnittlich drei Prozent - im Maximum bei sieben Prozent. Hier profitiert der PC1066-Speicher trotz "Untertaktung" von seiner geringeren Zugriffszeit (32 ns statt 45 ns von PC800-Modulen).

Umgekehrte Vorzeichen also bei einem FSB-Takt von 400 MHz: DDR400-Speicher ist fast immer schneller als PC800/PC1066-RDRAM. Die Bandbreite von DDR400 mit 2,98 GByte/s übersteigt noch nicht die des FSB. Ein höherer FSB-Takt bringt bei DDR400 im Gegensatz zu PC1066 somit wenig.“

7. Zukunftsausblick und Schlussbemerkung

Wie der oben dargestellte Testvergleich von DDR SDRAM und RDRAM gezeigt hat sind RDRAM Systeme unter der Voraussetzung einer optimalen Systemkonfiguration nach wie vor im Stande mit DDR SDRAM mithalten. In Vielen Bereichen übertreffen sie die Konkurrenz auch deutlich.

Trotzdem wird es für RDRAM in Zukunft immer schwerer werden sich am Markt zu behaupten, da sich auch Intel, der ursprüngliche Hauptbefürworter von RDRAM, immer mehr der Unterstützung der kostengünstigeren DDR SDRAM zuwendet. RDRAM wird vermutlich nur ein Nischenplatz für so genannte High Performance Anwendungen bleiben

Folgende Grafik zeigt die DRAM Produktion von Samsung für das Jahr 2002. dabei ist erstmals ein Rückgang von Standard SDRAM zu verzeichnen, während DDR SDRAM stark im kommen ist und RDRAM nur noch wenig Zuwachs verzeichnen kann.

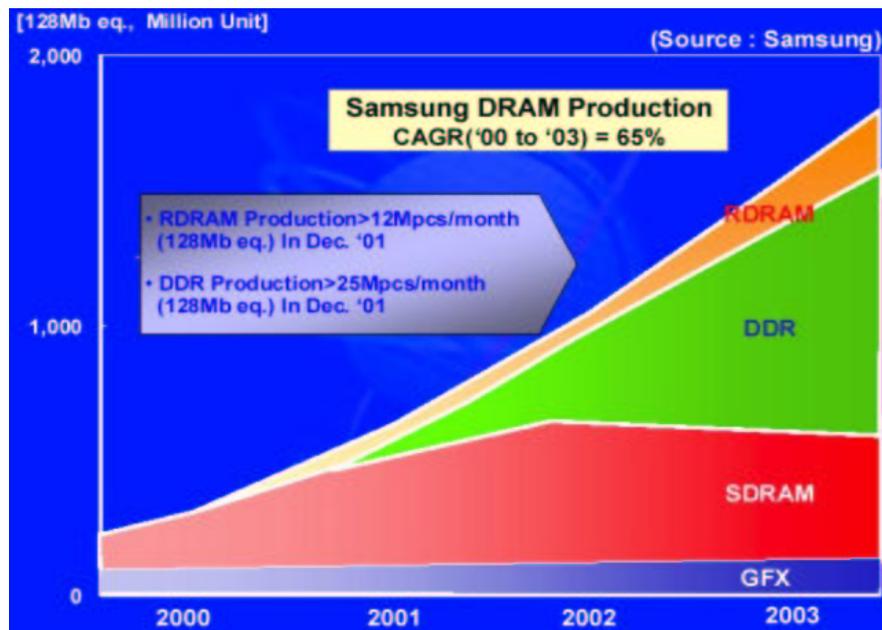


Abbildung 12 [6].

Als nächsten Schritt hat Intel angekündigt sich an der Weiterentwicklung von DDR SDRAM wesentlich zu beteiligen. Mit dem Nachfolger DDR II und den ersten Samples von DDR II Modulen ist mit Mitte 2003 zu rechnen, eine Massenproduktion ist laut Intel nicht vor 2004 zu erwarten. (Quelle: [7])

Es bleibt also abzuwarten ob Rambus der Entwicklung von DDR II noch etwas entgegenzuhalten vermag, oder sich DDR nun endgültig durchgesetzt hat.

8. Literatur

[1] Stub Series Terminated Logic for 2.5 Volts (SSTL_2) (<http://www.jedec.org>), Jedec JC-16C, May 2002

[2] Double Data Rate (DDR) SDRAM Specification (<http://www.jedec.org>), Jedec JC-42.3C, May 2002

[3] The Future of RAM: RDRAM vs. DDR; von Dan Mephram, Februar 2000, (<http://www.hardwarecentral.com>)

[4] DRAM Speichertypen im Detail; von Christian Vilsbeck, 2002, (<http://www.tecchannel.de>)

[5] Test: PC1066-RDRAM vs. DDR400-SDRAM; von Christian Vilsbeck, 2002, (<http://www.tecchannel.de>)

[6] Quelle: <http://www.samsung.de>

[7] Quelle: <http://www.intel.de>